

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月 6日

出願番号

Application Number:

特願2002-228390

[ST.10/C]:

[JP2002-228390]

出願人

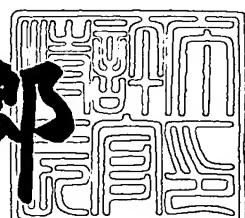
Applicant(s):

セイコーエプソン株式会社

2003年 5月 27日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3039000

【書類名】 特許願
【整理番号】 J0092686
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/00
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
【氏名】 米山 剛
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーホームズ株式会社
【代理人】
【識別番号】 100110858
【弁理士】
【氏名又は名称】 柳瀬 瞳肇
【選任した代理人】
【識別番号】 100107526
【弁理士】
【氏名又は名称】 鈴木 直郁
【選任した代理人】
【識別番号】 100110777
【弁理士】
【氏名又は名称】 宇都宮 正明
【選任した代理人】
【識別番号】 100100413
【弁理士】
【氏名又は名称】 渡部 溫
【手数料の表示】
【予納台帳番号】 085672

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014943

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項1】 クロック信号と共に入力されるシリアルデータをパラレルデータに変換するシリアル／パラレル変換回路と、

前記シリアル／パラレル変換回路によって変換されたパラレルデータを記憶するメモリと、

クロック信号をカウントすることにより、前記メモリにおける書き込み時間を設定するために用いられる書き込みパルスを発生する書き込みパルス発生回路と、を具備する半導体集積回路。

【請求項2】 前記シリアル／パラレル変換回路から出力されるパラレルデータをラッチして前記メモリに供給するラッチ回路をさらに具備する請求項1記載の半導体集積回路。

【請求項3】 前記シリアル／パラレル変換回路がシフトレジスタを含む、請求項1又は2記載の半導体集積回路。

【請求項4】 前記書き込みパルス発生回路が、

クロック信号をカウントするカウンタと、

前記カウンタのカウント値と第1の所定の値との一致を検出する第1の一致検出回路と、

前記カウンタのカウント値と第2の所定の値との一致を検出する第2の一致検出回路と、

前記第1の一致検出回路において一致検出されてから前記第2の一致検出回路において一致検出されるまでの間に output レベルを第1のレベルとし、前記第2の一致検出回路において一致検出されてから前記第1の一致検出回路において一致検出されるまでの間に output レベルを第2のレベルとすることにより、前記書き込みパルスを発生する順序回路と、

を含む、請求項1～3のいずれか1項記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シリアルデータをパラレルデータに変換して記憶する半導体集積回路に関し、特に、RAM（ランダムアクセスメモリ）を内蔵してLCD（液晶表示装置）を駆動するLCDドライバ等の半導体集積回路に関する。

【0002】

【従来の技術】

LCDのセグメント方向に分割された多数の領域を駆動するLCDドライバにおいては、インターフェースを介して入力されるシリアルデータをパラレルデータに変換して内蔵のRAMに書き込み、RAMに記憶されているデータを読み出して駆動信号を生成するタイプのものがある。このような従来のLCDドライバを図4に示す。

【0003】

図4に示すように、LCDドライバ100は、クロック信号CLKと共に入力されるシリアルデータ（DATA）をパラレルデータに変換するシフトレジスタ109と、パラレルデータをラッチするラッチ回路110と、ラッチされたデータを記憶するRAM111とを含んでいる。

【0004】

また、LCDドライバ100は、クロック信号CLKをカウントして出力端子Q9から9カウント毎にパルスを出力するカウンタ101と、カウンタ101から出力されるパルス信号S1に同期してパルス信号S2を出力するフリップフロップFF1と、パルス信号S2を遅延させてパルス信号S3を出力するディレイ回路102と、パルス信号S3に同期してパルス信号S4を出力するフリップフロップFF2と、パルス信号S4を遅延させてパルス信号S5を出力するディレイ回路103と、バッファ回路104と、2つのNOR回路105及び106と、2つのインバータ107及び108と、RAM111の書き込み／読み出しを制御するコマンド発生回路112とを含んでいる。

【0005】

図5に、図4に示すLCDドライバの各部における動作を示す。リセット状態が解除されて反転リセット信号（RESETバー）がハイレベルになった後、図

5に示すように、クロック信号CLKに同期して、1ビットのデータ／コマンド識別子D/C及び8ビットのデータD7～D0が順にシフトレジスタ109に入力され、シフトレジスタ109内のフリップフロップに合計9ビットの信号が保持される。その間に、カウンタ101は、クロック信号CLKに含まれている9個のパルスをカウントして、出力端子Q9からパルス信号S1を出力する。

【0006】

フリップフロップFF1は、パルス信号S1の立上がりエッジに同期して、パルス信号S2をハイレベルにする。ディレイ回路102は、パルス信号S2を所定の時間だけ遅延させ、パルス信号S3を出力する。パルス信号S3は、NOR回路105によって反転される。ここで、反転されたパルス信号S3がフリップフロップFF1のリセット端子Rに入力されるので、フリップフロップFF1がリセットされ、パルス信号S2がローレベルに戻る。その結果、フリップフロップFF1は、ディレイ回路102の遅延時間と等しい幅のパルスを含むパルス信号S2を出力することになる。パルス信号S3のパルス幅も、パルス信号S2のパルス幅と同一になる。

【0007】

ラッチ回路110は、シフトレジスタ109からパラレルデータとして出力された1ビットのデータ／コマンド識別子D/C及び8ビットのデータD7～D0を、パルス信号S3の立下りエッジに同期してラッチする。ディレイ回路102によってパルス信号S2を遅延することによりパルス信号S3を生成しているので、シフトレジスタ109から確実に信号が出力された後に、これらの信号がラッチ回路110によってラッチされる。

【0008】

フリップフロップFF2は、パルス信号S3の立上がりエッジに同期して、パルス信号S4をハイレベルにする。ディレイ回路103は、パルス信号S4を所定の時間だけ遅延させ、パルス信号S5を出力する。パルス信号S5は、NOR回路106によって反転される。ここで、反転されたパルス信号S5がフリップフロップFF2のリセット端子Rに入力されるので、フリップフロップFF2がリセットされ、パルス信号S4がローレベルに戻る。その結果、フリップフロッ

PF2は、ディレイ回路103の遅延時間と等しい幅のパルスを含むパルス信号S4を出力することになる。パルス信号S5のパルス幅も、パルス信号S4のパルス幅と同一になる。

【0009】

RAM111は、バッファ回路104からパルス信号S5を入力すると共に、ラッチ回路110からデータD7～D0を入力する。また、コマンド発生回路112は、バッファ回路104からパルス信号S5を入力すると共に、ラッチ回路110からデータ／コマンド識別子D／C及びデータD7～D0を入力する。データ／コマンド識別子D／Cがコマンドを表している場合には、コマンド発生回路112は、データD7～D0として送られて来たコマンド及びパルス信号S5に従って、RAM111の書き込み／読み出しのタイミングを決定したり、アドレスの指定を行う。一方、データ／コマンド識別子D／Cがデータを表している場合には、RAM111は、コマンド発生回路112の書き込みタイミングで、データD7～D0を指定されたアドレスに書き込む。ここで、RAM111におけるデータ書き込み時間を表すパルス信号S5のパルス幅は、ディレイ回路103の遅延時間によって決定される。

【0010】

このように、従来の半導体集積回路においては、RAMにおけるデータ書き込み時間をディレイ回路の遅延時間によって決定しているため、RAMを交換した場合にディレイ回路の調整が必要になる場合もあり、書き込み／読み出しのサイクルを短くすることが困難であるという問題があった。

【0011】

【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、シリアルデータをパラレルデータに変換して記憶する機能を有し、書き込み／読み出しのサイクルを短くしても安定に動作する半導体集積回路を提供することを目的とする。

【0012】

【課題を解決するための手段】

以上の課題を解決するため、本発明に係る半導体集積回路は、クロック信号と

共に入力されるシリアルデータをパラレルデータに変換するシリアル／パラレル変換回路と、シリアル／パラレル変換回路によって変換されたパラレルデータを記憶するメモリと、クロック信号をカウントすることにより、メモリにおける書き込み時間を設定するために用いられる書き込みパルスを発生する書き込みパルス発生回路とを具備する。

【0013】

この半導体集積回路は、シリアル／パラレル変換回路から出力されるパラレルデータをラッチしてメモリに供給するラッチ回路をさらに具備するようにしても良い。また、シリアル／パラレル変換回路が、シフトレジスタを含むようにしても良い。

【0014】

さらに、書き込みパルス発生回路が、クロック信号をカウントするカウンタと、カウンタのカウント値と第1の所定の値との一致を検出する第1の一致検出回路と、カウンタのカウント値と第2の所定の値との一致を検出する第2の一致検出回路と、第1の一致検出回路において一致検出されてから第2の一致検出回路において一致検出されるまでの間に output レベルを第1のレベルとし、第2の一致検出回路において一致検出されてから第1の一致検出回路において一致検出されるまでの間に output レベルを第2のレベルとすることにより、書き込みパルスを発生する順序回路とを含むようにしても良い。

【0015】

このように構成した本発明によれば、シリアルデータと共に入力されるクロック信号をカウントすることにより、メモリにおける書き込み時間を設定するために用いられる書き込みパルスを発生するので、書き込み／読み出しのサイクルを短くしても安定に動作する半導体集積回路を提供することができる。

【0016】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。

図1に、本発明の第1の実施形態に係る半導体集積回路の構成を示す。本実施形態は、LCDのセグメント方向に分割された多数の領域を駆動するLCDドライバ

イバに本発明を適用したものである。

【0017】

図1に示すように、半導体集積回路10は、クロック信号CLKと共に入力されるシリアルデータ(DATA)をパラレルデータに変換するシフトレジスタ19と、パラレルデータをラッチするラッチ回路20と、ラッチされたデータを記憶するRAM21とを含んでいる。

【0018】

また、半導体集積回路10は、クロック信号CLKに含まれているパルスをカウントするカウンタ11と、カウンタ11から出力されるパルス信号S9に同期してパルス信号S3を出力するフリップフロップFF1と、パルス信号S3を遅延させてパルス信号S4を出力するディレイ回路12と、パルス信号S4に同期してパルス信号S5を出力するフリップフロップFF2と、パルス信号S5を遅延させてパルス信号S6を出力するディレイ回路13と、RAMの書き込み時間を制御するためにパルス信号S7を発生する書き込みパルス発生回路30と、入力されるシリアルデータ(DATA)に含まれているデータ/コマンド識別子D/Cを保持するフリップフロップFF3及びFF4と、バッファ回路14と、2つのNOR回路15及び16と、2つのインバータ17及び18と、RAM21の書き込み/読み出しを制御するコマンド発生回路22とを含んでいる。

【0019】

図2に、図1に示す半導体集積回路の各部における動作を示す。リセット状態が解除されて反転リセット信号(RESETバー)がハイレベルになった後、図2に示すように、クロック信号CLKに同期して、8ビットのデータD7～D0が順にシフトレジスタ19に入力され、シフトレジスタ19内のフリップフロップに保持される。その間に、カウンタ11は、クロック信号CLKに含まれているパルスをカウントして、第1番目のパルスに対応してパルス信号S1を出力し、第2番目のパルスに対応してパルス信号S2を出力し、第9番目のパルスに対応してパルス信号S9を出力する。

【0020】

フリップフロップFF1は、パルス信号S9の立上がりエッジに同期して、パ

ルス信号 S 3 をハイレベルにする。ディレイ回路 1 2 は、パルス信号 S 3 を所定の時間だけ遅延させ、パルス信号 S 4 を出力する。パルス信号 S 4 は、NOR回路 1 5 によって反転される。ここで、反転されたパルス信号 S 4 がフリップフロップ FF 1 のリセット端子 R に入力されるので、フリップフロップ FF 1 がリセットされ、パルス信号 S 4 がローレベルに戻る。その結果、フリップフロップ FF 1 は、ディレイ回路 1 2 の遅延時間と等しい幅のパルスを含むパルス信号 S 3 を出力することになる。パルス信号 S 4 のパルス幅も、パルス信号 S 3 のパルス幅と同一になる。

【0021】

フリップフロップ FF 3 は、カウンタ 1 1 の出力端子 Q 1 から出力されるパルス信号 S 1 に同期して、データ／コマンド識別子 D／C を保持する。さらに、フリップフロップ FF 4 は、カウンタ 1 1 の出力端子 Q 2 から出力されるパルス信号 S 2 に同期して、フリップフロップ FF 3 の出力信号を保持し、データ／コマンド識別信号 A 0 として出力する。

【0022】

ラッチ回路 2 0 は、フリップフロップ FF 4 から出力された 1 ビットのデータ／コマンド識別信号 A 0 と、シフトレジスタ 1 9 から出力された 8 ビットのデータ D 7 ~ D 0 とを、パルス信号 S 4 の立下りエッジに同期してラッチする。ディレイ回路 1 2 によってパルス信号 S 3 を遅延することによりパルス信号 S 4 を生成しているので、フリップフロップ FF 4 及びシフトレジスタ 1 9 から確実に信号が出力された後に、これらの信号がラッチ回路 2 0 によってラッチされる。

【0023】

フリップフロップ FF 2 は、パルス信号 S 4 の立上がりエッジに同期して、パルス信号 S 5 をハイレベルにする。ディレイ回路 1 3 は、パルス信号 S 5 を所定の時間だけ遅延させ、パルス信号 S 6 を出力する。パルス信号 S 6 は、NOR回路 1 6 によって反転される。ここで、反転されたパルス信号 S 6 がフリップフロップ FF 2 のリセット端子 R に入力されるので、フリップフロップ FF 2 がリセットされ、パルス信号 S 5 がローレベルに戻る。その結果、フリップフロップ FF 2 は、ディレイ回路 1 3 の遅延時間と等しい幅のパルスを含むパルス信号 S 5

を出力することになる。パルス信号S6のパルス幅も、パルス信号S5のパルス幅と同一になる。パルス信号S6は、コマンド発生回路22においてコマンドを実行するために使用される。

【0024】

一方、書き込みパルス発生回路30は、クロック信号CLKの第9番目のパルスの立ち上がりエッジから第5番目のパルスの立ち上がりエッジまでの間でハイレベルとなるデータ書き込み用のパルス信号S7を出力する。

【0025】

RAM21は、書き込みパルス発生回路30からパルス信号（書き込みパルス）S7を入力し、ラッチ回路20からデータD7～D0を入力する。また、コマンド発生回路22は、バッファ回路14からパルス信号S6を入力し、ラッチ回路20からデータ／コマンド識別信号A0及びデータD7～D0を入力する。データ／コマンド識別信号A0がコマンドを表している場合には、コマンド発生回路22は、データD7～D0として送られて来たコマンドに従って、RAM21の書き込み／読み出しのタイミングを決定したり、アドレスの指定を行う。一方、データ／コマンド識別信号A0がデータを表している場合には、RAM21は、データD7～D0を指定されたアドレスに書き込む。

【0026】

ここで、RAM21におけるデータ書き込み時間を表すパルス信号S7のパルス幅は、書き込みパルス発生回路30によってクロック信号CLKに含まれているパルスをカウントすることにより決定される。パルス信号S7のパルス幅を広くとることにより、書き込み／読み出しのサイクルを短くして高速動作を行っても確実にデータを書き込むことができる。

【0027】

次に、図1に示す書き込みパルス発生回路について詳しく説明する。図3に、書き込みパルス発生回路の構成を示す。図3に示すように、書き込みパルス発生回路30は、クロック信号CLKに含まれているパルスをカウントするカウンタ31と、カウンタ31から出力される4ビットのカウント値と予め設定された第1の値（5＝“0101”）との一致を検出する一致検出回路32と、一致検出回路3

2の出力信号を反転するインバータ34と、カウンタ31から出力される4ビットのカウント値と予め設定されている第2の値（9 = “1001”）との一致を検出する一致検出回路33と、一致検出回路32及び33の出力信号に基づいて負論理の書き込みパルスを出力するフリップフロップFF5と、フリップフロップFF5から出力される負論理の書き込みパルスを反転するインバータ35とによって構成される。

【0028】

リセット状態が解除されて反転リセット信号がハイレベルになった後、フリップフロップFF5の出力信号はローレベルとなっている。一致検出回路32は、クロック信号CLKに含まれている第5番目のパルスをカウンタ31がカウントしたときに、カウンタ31のカウント値と第1の値（5）との一致を検出し、パルスを出力する。これにより、フリップフロップFF5の出力信号がハイレベルに設定され、インバータ35からは、ローレベルの信号が出力される。

【0029】

次に、一致検出回路33は、クロック信号CLKに含まれている第9番目のパルスをカウンタ31がカウントしたときに、カウンタ31のカウント値と第2の値（9）との一致を検出し、パルスを出力する。フリップフロップFF5の出力信号は、一致検出回路33から出力されるパルスに同期してローレベルとなり、インバータ35からは、ハイレベルの信号が出力される。

【0030】

以上のことから、書き込みパルス発生回路30は、カウント値が9及び1～4の間はハイレベルの信号を出力し、カウント値が5～8の間はローレベルの信号を出力する。なお、本発明においては、カウント値が5及び9の場合に書き込みパルス発生回路30の出力レベルが変化するようにしたが、他のカウント値において出力レベルが変化するようにしても良い。

【0031】

【発明の効果】

以上述べたように、本発明によれば、シリアルデータと共に入力されるクロック信号をカウントすることにより、メモリにおける書き込み時間を設定するために

用いられる書込みパルスを発生するので、書込み／読み出しのサイクルを短くしても安定に動作する半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体集積回路の構成を示す図である。

【図2】

図1に示す半導体集積回路の各部における動作を示すタイミングチャートである。

【図3】

図1に示す書込みパルス発生回路の構成を示す図である。

【図4】

従来のLCDドライバの構成を示す図である。

【図5】

図4に示すLCDドライバの各部における動作を示すタイミングチャートである。

【符号の説明】

10 半導体集積回路

11、31 カウンタ

12、13 ディレイ回路

14 バッファ

15、16 NOR回路

17、18、34、35 インバータ

19 シフトレジスタ

20 ラッチ回路

21 RAM

22 コマンド発生回路

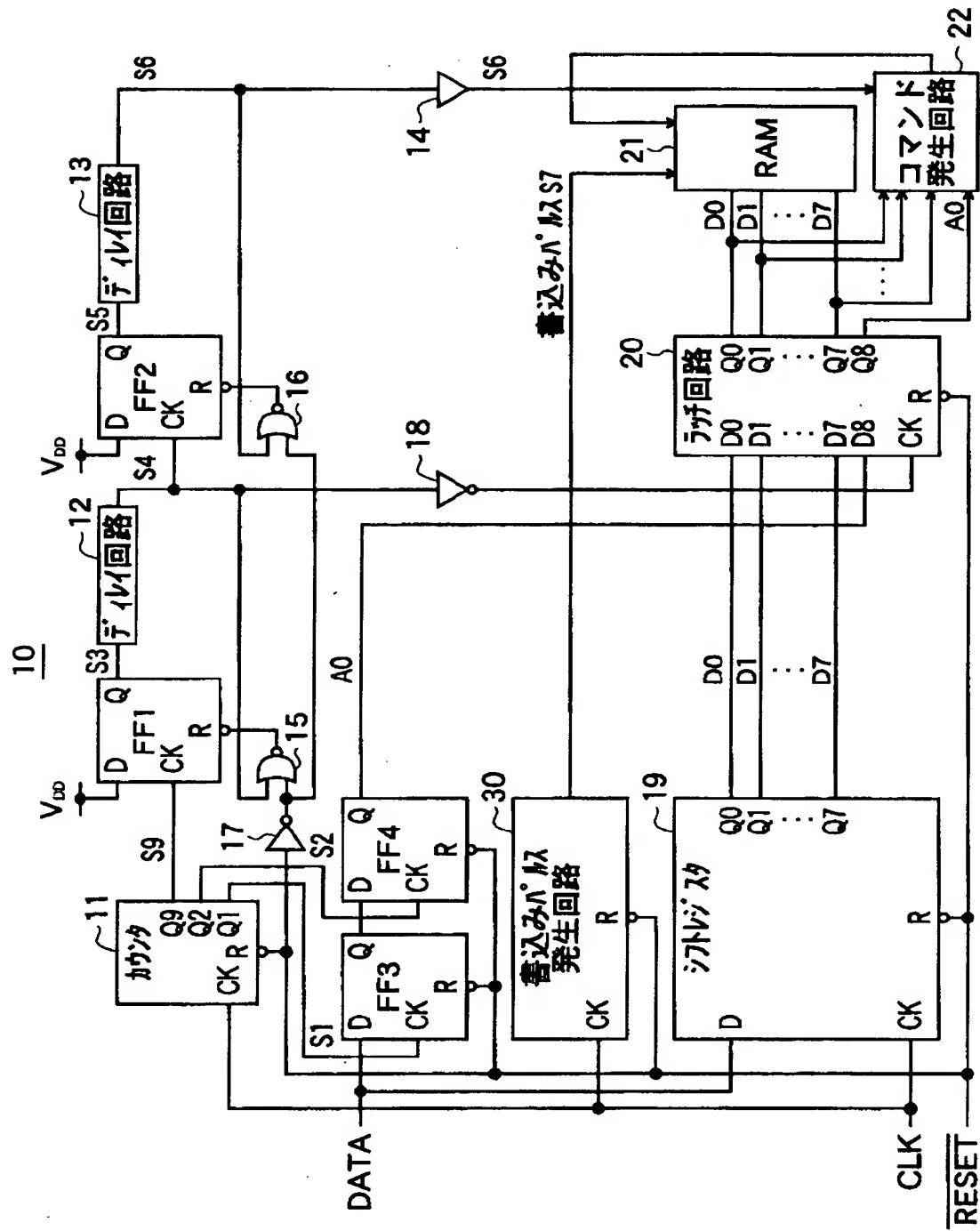
30 書込みパルス発生回路

32、33 一致検出回路

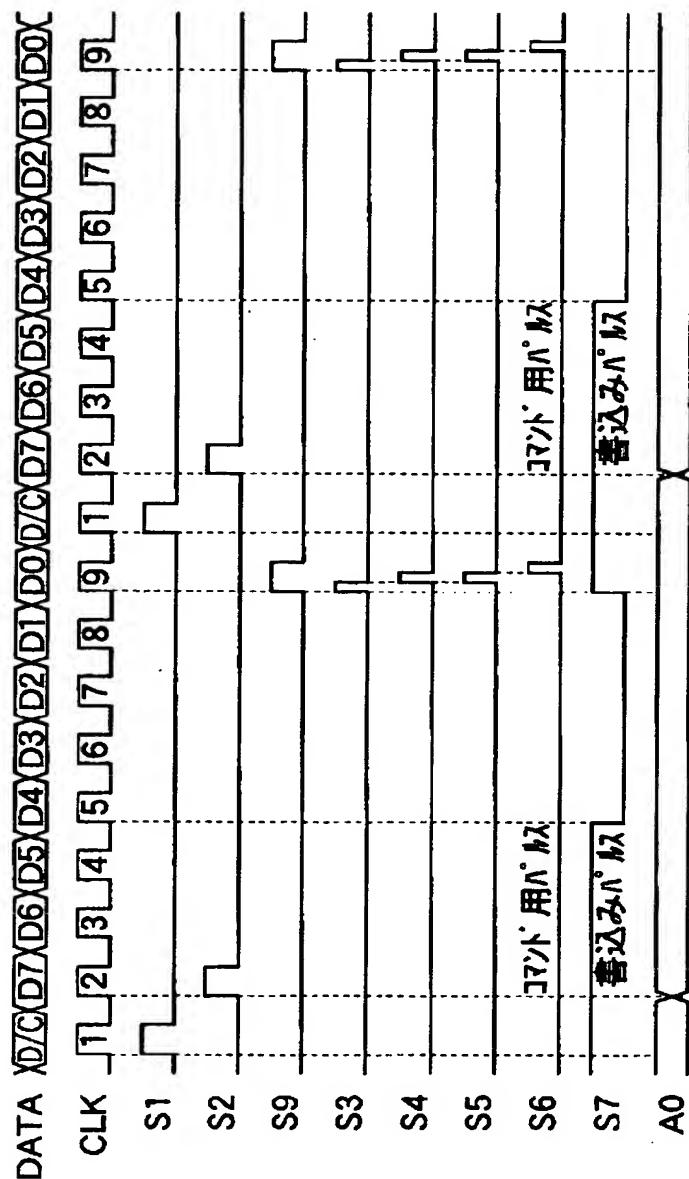
FF1～FF5 フリップフロップ

【書類名】図面

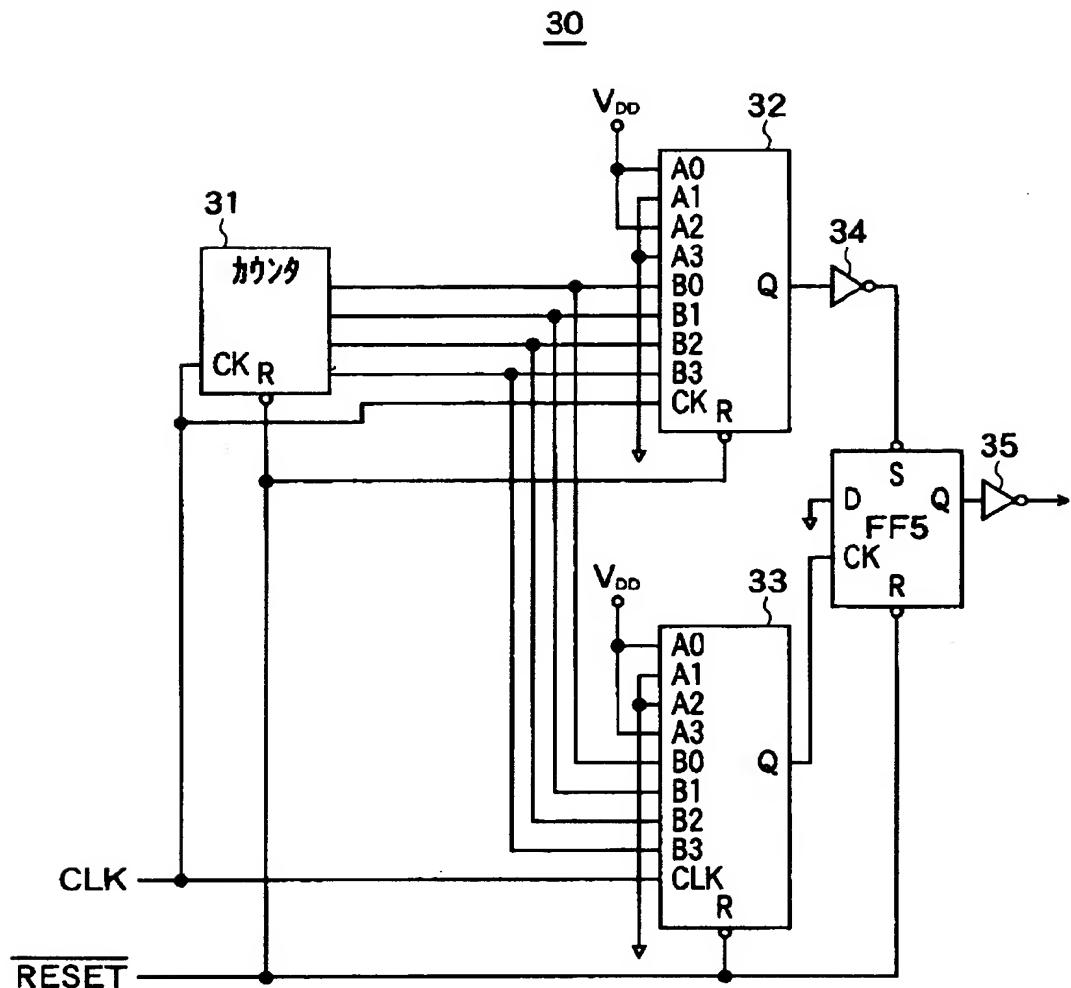
【図1】



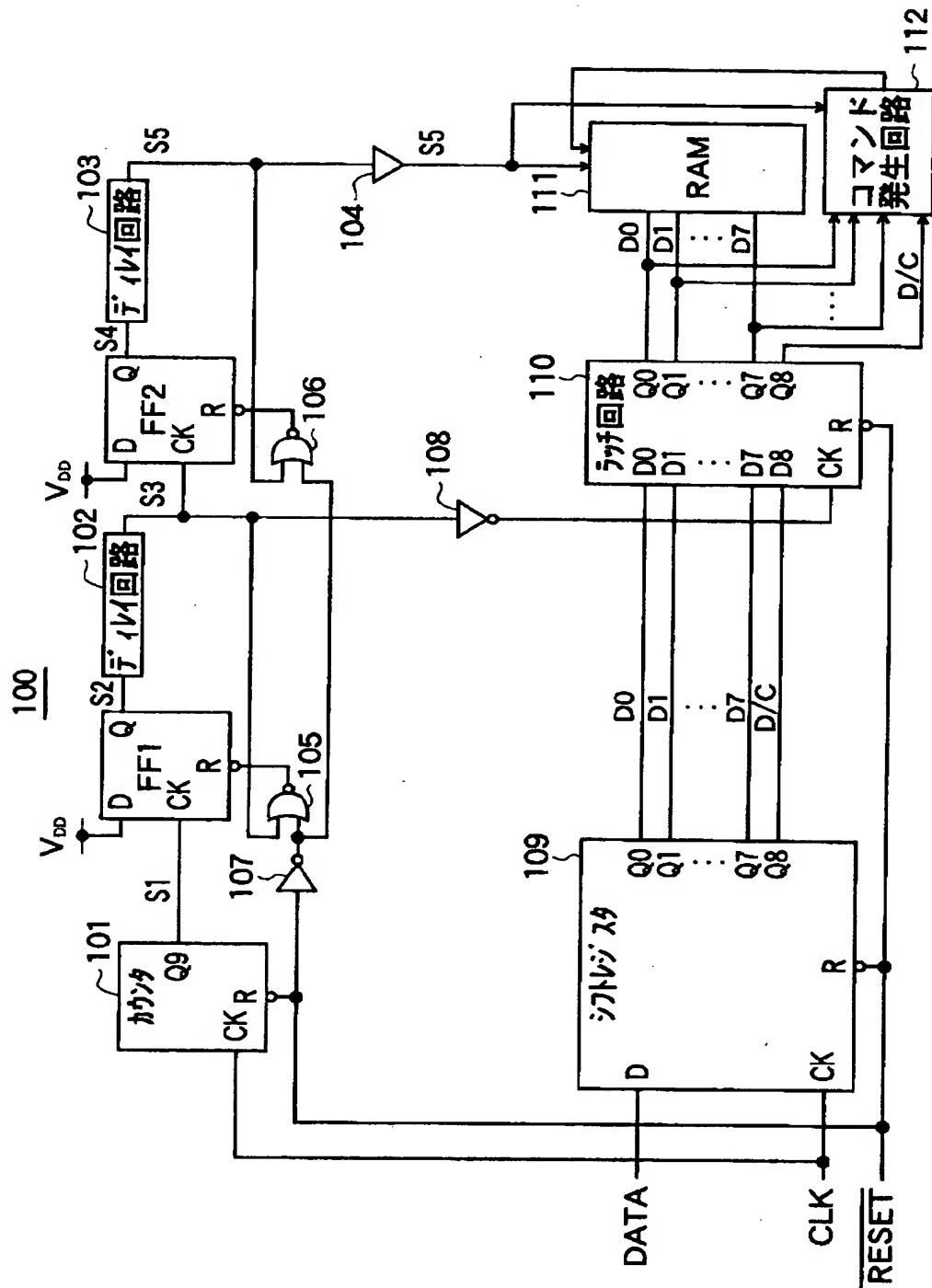
[図2]



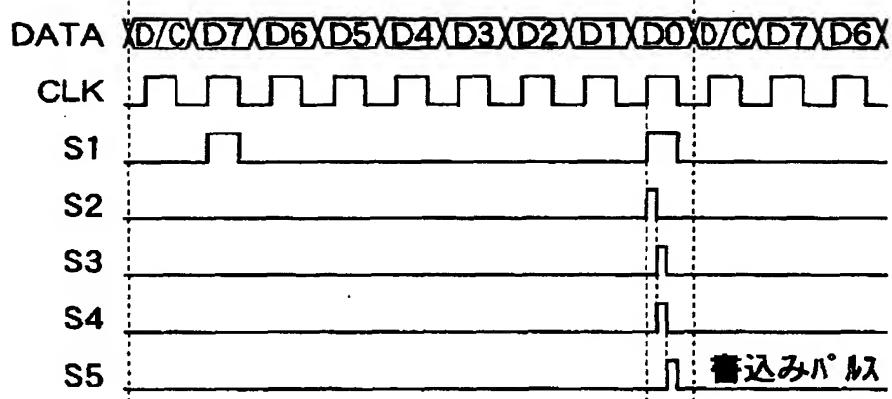
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 シリアルデータをパラレルデータに変換して記憶する機能を有し、書込み／読み出しのサイクルを短くしても安定に動作する半導体集積回路を提供する。

【解決手段】 この半導体集積回路は、クロック信号と共に入力されるシリアルデータをパラレルデータに変換するシリアル／パラレル変換回路19と、シリアル／パラレル変換回路によって変換されたパラレルデータを記憶するメモリ21と、クロック信号をカウントすることにより、メモリにおける書込み時間を設定するために用いられる書込みパルスを発生する書込みパルス発生回路30とを具備する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-228390
受付番号	50201164276
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 8月 7日

＜認定情報・付加情報＞

【提出日】 平成14年 8月 6日

次頁無

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社